

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.


**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PRIOR ART PUBLICATION

JP-A 2-205937

Publication Date: August 15, 1990

INFORMATION PROCESSING SYSTEM

Patent Number: JP2205937
Publication date: 1990-08-15
Inventor(s): OKANO NAOKI
Applicant(s):: NEC CORP
Requested Patent:  JP2205937
Application Number: JP19890024832 19890203
Priority Number(s):
IPC Classification: G06F11/28
EC Classification:
Equivalents:

Abstract

PURPOSE:To make a memory with large capacity unnecessary by storing an address high-order part in a memory by setting a flag only when change occurs in the address high-order part, and storing an address low-order part in the memory in which the flag is reset as trace information immediate after the above storage.

CONSTITUTION:Only the address low-order part is traced to the memory 4 when no change occurs in the address high-order part, and both the address high-order part and the address low-order part are traced only when the change occurs in the address high-order part. The flag 5 shows whether traced information is the one of the address high-order part of the address low-order part. In such a way, it is possible to reduce the capacity of the memory 4 without complicating hardware like the one in a system in which only a specific address at an address branch point, etc., is traced.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-205937

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月15日

G 06 F 11/28

3 1 0 A

7343-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 情報処理システム

⑯ 特 願 平1-24832

⑰ 出 願 平1(1989)2月3日

⑱ 発 明 者 岡 野 直 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

情報処理システム

2. 特許請求の範囲

1. 情報処理システムにおいて、

1 ステップ前のアドレスの上位部を保持するレジスタと、

メモリと、

前記レジスタに保持されているアドレス上位部と現時点のアドレスの上位部とを比較し、不一致の場合にのみ前記メモリ内のフラグを一時セットする比較回路と、

前記レジスタに保持されていたアドレス上位部と現時点のアドレス上位部との前記比較回路による比較結果が一致の場合は、アドレス下位部を選択してトレース情報として前記メモリに格納し、前記比較結果が不一致の場合は、前記フラグがセットされた前記メモリにアドレス上位部を選択してトレース情報として格納し、その直後に前記フラグがリセットされた前記メモリにアドレス下

位部を選択してトレース情報として格納するセレクタとを含むことを特徴とする情報処理システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は情報処理システムに関し、特にアドレスストレーヌ制御方式に関する。

〔従来の技術〕

従来、情報処理システムにおけるアドレスストレーヌ制御方式は実行アドレスをそのままの形で順次メモリに書込む方式がとられていた。

また、メモリの削減のために実際にトレースしていく上で有効なアドレス分岐点等の特異アドレスのみをトレースする方式も考えられる。

〔発明が解決しようとする課題〕

上述した従来のアドレスストレーヌ制御方式のうち、前者では、アドレスをそのままの形でトレースするため必要となるメモリの容量に比較してその中の有効な情報の占める割合が小さいので比較的大きな容量のメモリが必要であり、また、後者

のようにアドレス分岐点等の特異アドレスのみをトレースする場合、メモリの削減という観点からは有効であるが、種々の分岐命令に対応するためには一般に画一化できるとは限らずハードウェア量の点から見ればむしろ複雑となるので必ずしも削減とならず、さらに詳細な動作を知りたい場合には不向きであるという欠点がある。

〔課題を解決するための手段〕

本発明の情報処理システムは、

1ステップ前のアドレスの上位部を保持するレジスタと、

メモリと、

前記レジスタに保持されているアドレス上位部と現時点のアドレスの上位部とを比較し、不一致の場合にのみ前記メモリ内のフラグを一時セットする比較回路と、

前記レジスタに保持されていたアドレス上位部と現時点のアドレス上位部との前記比較回路による比較結果が一致の場合は、アドレス下位部を選択してトレース情報として前記メモリに格納し、

前記比較結果が不一致の場合は、前記フラグがセットされた前記メモリにアドレス上位部を選択してトレース情報として格納し、その直後に前記フラグがリセットされた前記メモリにアドレス下位部を選択してトレース情報として格納するセレクトとを含む。

〔作用〕

アドレス上位部に変化がない場合は、アドレス下位部のみがメモリにトレースされ、アドレス上位部に変化があった場合にのみアドレス上位部と下位部の両方がトレースされ、かつ、トレースされた情報がアドレス上位部であるか下位部であるかがフラグで示されているので、アドレス分岐点等の特異アドレスのみをトレースする方式のようにハードウェアを複雑化する等のことなくしてメモリの容量が削減できる。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の情報処理システムの一実施例

のブロック図、第2図は第1図のメモリ4の内容を示す図である。

この情報処理システムはレジスタ1と比較回路2とセレクト3とメモリ4を含んでいる。レジスタ1には1ステップ前に実行されたアドレスの上位部の値が保持されている。比較回路2は現時点のアドレスがトレース情報としてアドレスバスに見えてくると、このアドレスの上位部の値とレジスタ1の出力である1ステップ前に実行されたアドレスの上位部の値を比較して一致しているかどうかを判定し、比較結果が一致しないとき、すなわちアドレス上位部に変化が生じた場合は、アドレス上位部に変化があったか否かを示すフラグ5を一時「1」にセットする。メモリ4にはフラグ5とトレース情報6が格納される。セレクト3は、比較回路2でのレジスタ1に保持されていたアドレス上位部と現時点のアドレス上位部との比較結果が一致しているとき、すなわちアドレス上位部に変化がない場合は、現時点のアドレス下位部のデータを選択してトレース情報6としてフラ

グ5が「0」となっているメモリ4に格納し、比較結果が不一致のとき、すなわち分岐命令等でアドレス上位部に変化が生じた場合は、現時点のアドレス上位部のデータを選択して比較回路4によってフラグ5が「1」にセットされているメモリ4にトレース情報6として格納し、その直後フラグ5が「0」にリセットされたメモリ4に現時点のアドレス下位部のデータを選択してトレース情報6として格納する。

第2図はメモリ4内に格納されたフラグ5とトレース情報6を示す図である。

この図はアドレスが---20-21-2A-2B-2C-5D4-5D5-130B---と変化した場合の様子を示しているが、アドレスが2バイト幅であるとすれば20-2Cまではアドレス上位部1バイトは、常に「00」であるため、フラグ5は「0」のままで、メモリ4にアドレス下位部のみがトレースされている。この場合21-2Aでの分岐はトレース上の変化はない。次に、2C-5D4とアドレスが分岐する場合、アドレ

ス上位部1バイトが「00」→「05」に変化しているのでフラグ5は「1」にセットされ、メモリ4にはアドレス上位部の「05」がトレース情報6としてトレースされる。その直後にフラグ5は「0」にリセットされ、アドレス下位部「D4」がトレースされる。5D4→5D5ではアドレス上位部に変化がないため、フラグ5は「0」でアドレス下位部の「D5」のみがトレースされ、5D5→130Bではアドレス上位部が変化があるのでフラグ5は「1」にセットされアドレス上位部「13」がトレースされ、次にフラグ5は「0」にリセットされ、アドレス下位部の「0B」がトレースされるというように順にトレースが進められていく。

上述したように、メモリ4内のフラグ5がセットされているかいないかによってトレース情報6がアドレス上位部を示しているか下位部を示しているかが判断できるので、実際のアドレスが2バイト幅であっても(1バイト+1ビット)のメモリによって表現でき、メモリ容量を削減すること

ができる。

【発明の効果】

以上説明したように本発明は、現時点のアドレス上位部と1ステップ前のアドレス上位部とを比較し、アドレス上位部に変化がない場合はアドレス下位部のみをメモリに格納し、アドレス上位部に変化があった場合にのみ、前記メモリにフラグをセットしてアドレス上位部を格納しその直後に該フラグがリセットされた前記メモリにアドレス下位部をトレース情報として格納することにより、アドレステレースにおいてトレース情報のビット長が減少し、かつ格納されたトレース情報がアドレス上位部であるか下位部であるかがフラグにより判別できるので、アドレス分岐点等の特異アドレスのみをトレースする方式のようにハードウェアを複雑化する等のことなしに、小容量のメモリで済むという効果がある。

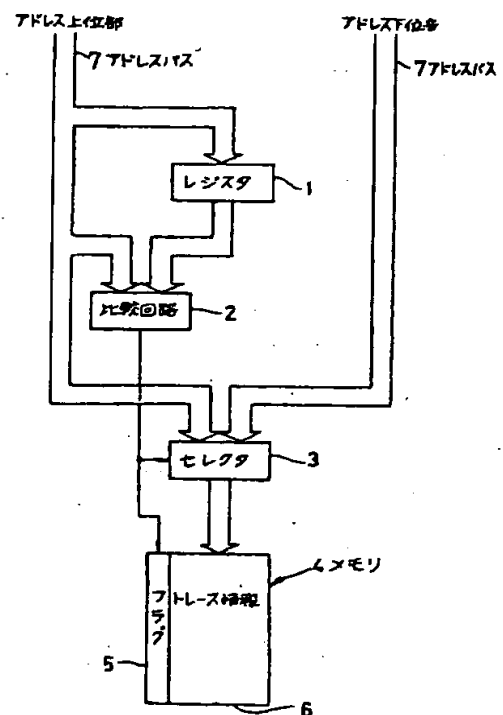
4. 図面の簡単な説明

第1図は本発明の情報処理システムの一実施例のブロック図、第2図は第1図のメモリ4の内容

を示す図である。

- | | |
|---------------|---------------|
| 1 --- レジスタ、 | 2 --- 比較回路、 |
| 3 --- セレクタ、 | 4 --- メモリ、 |
| 5 --- フラグ、 | 6 --- トレース情報、 |
| 7 --- アドレスバス。 | |

特許出願人 日本電気株式会社
代理人 弁理士 内原 晋



第 1 図

アドレス		5 フラグ	6 トレース情報
		0	20
20		0	21
21		0	2A
2A		0	2B
2B		0	2C
2C		0	05
5D4	{	1	D4
		0	D5
5D5		0	D5
130B	{	1	13
		0	08

第 2 図